



1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-197876

(43)Date of publication of application : 12.07.2002

(51)Int.Cl. G11C 16/02  
G11C 16/06

(21)Application number : 2000-391229 (71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO  
LTD

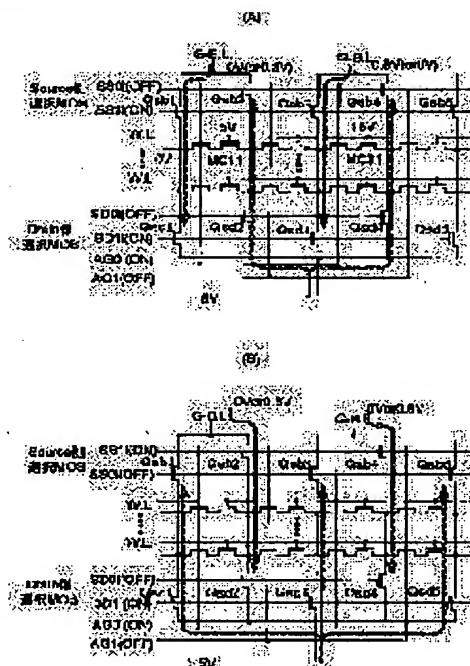
(22)Date of filing : 22.12.2000 (72)Inventor : TAKASE KENJUN  
KUBONO SHOJI  
KANEMITSU MICHITARO  
NOZOE ATSUSHI  
YOSHIDA KEIICHI  
KURATA HIDEAKI

### (54) WRITING METHOD FOR NON-VOLATILE MEMORY

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve such a problem that in a conventional writing method of a flash memory, as the more storage capacity of a memory array is increased, the longer length of a bit line is made, load capacity of a bit line is made larger and a time required for reaching the prescribed potential of the bit line is made longer, a time required for writing is made longer and power consumption is increased.

**SOLUTION:** In a non-volatile memory having an AND type memory array in which plural memory cells are connected in parallel between a local bit line and a local drain line, a local drain line is precharged by supplying comparatively high voltage from a common drain line side (opposite side of main bit line), while 0 V or comparatively low voltage is applied to the main bit line in accordance with write data, after performing selection pre-charge, write voltage is applied to a word line and writing is performed, a drain current is made to flow in only a selection memory cell being desired to perform writing, and generated hot electrons are injected into a floating gate.



### LEGAL STATUS

[Date of request for examination]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-197876

(P2002-197876A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 E 5 B 0 2 5

16/06

6 1 1 Z

6 1 1 A

6 3 4 B

6 3 5

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21) 出願番号 特願2000-391229(P2000-391229)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成12年12月22日(2000.12.22)

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 高瀬 賢順

東京都青海市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100085811

弁理士 大日方 富雄

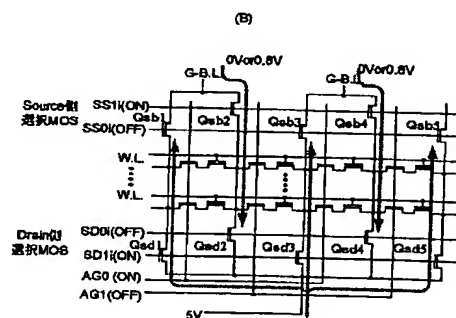
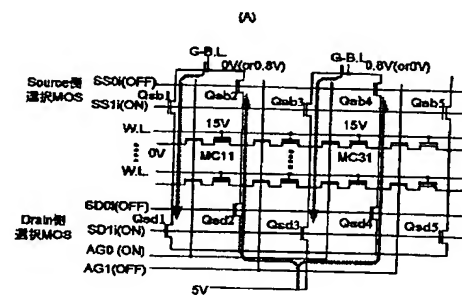
最終頁に続く

(54) 【発明の名称】 不揮発性記憶装置の書き込み方法

(57) 【要約】

【課題】 従来のフラッシュメモリの書き込み方式においては、メモリアレイの記憶容量が増加するほどビット線の長さが長くなりビット線の数も多くなるため、ビット線の負荷容量が大きくなりビット線が所定の電位に到達するまでの時間が長くなって書き込み所要時間が長くなるとともに、消費電力も多くなるという課題があった。

【解決手段】 複数のメモリセルがローカルビット線とローカルドレイン線との間に並列に接続されてなるAND型のメモリアレイを有する不揮発性記憶装置において、共通ドレイン線側(主ビット線の反対側)から比較的高い電圧を供給してローカルドレイン線をプリチャージするとともに、主ビット線には書き込みデータに応じて0Vまたは比較的小さな電圧を印加して選択プリチャージを行なった後、ワード線に書き込み電圧を印加して書き込みを行ないたい選択メモリセルにのみドレイン電流を流して発生したホットエレクトロンをフローティングゲートに注入させるようにした。



## 【特許請求の範囲】

【請求項1】 複数のワード線およびビット線と、前記ワード線のいずれかに接続されたメモリセルが複数個並列に接続されてなる複数のメモリセル列とを備え、前記各メモリセル列の第1の共通接続ノードは第1のスイッチ手段を介して前記ビット線に接続可能にされ、前記メモリセル列の第2の共通接続ノードは第2のスイッチ手段を介して共通電圧供給線に接続可能にされたメモリアレイを有する不揮発性記憶装置の書き込み方法において、書き込み動作に際して前記第2のスイッチ手段を介して前記メモリセル列の第1の共通接続ノードに前記ビット線と反対側の前記共通電圧供給線から書き込みのための第1の電圧を充電した後に、前記ビット線には書き込みデータに応じて前記第1の電圧よりも小さな第2の電圧を選択的に印加するとともに、前記第1および第2のスイッチ手段を制御して書き込みを行ないたい選択メモリセルには電流を流して充電した第1の電圧を放電し、書き込みを行ないたくない非選択メモリセルには電流を流さないようにした後に、前記ワード線のいずれかに書き込みのための第3の電圧を印加して選択的にメモリセルに対して書き込みを行なうことを特徴とする不揮発性記憶装置の書き込み方法。

【請求項2】 前記メモリセルと並列に前記第1の共通接続ノードと前記第2の共通接続ノードとを接続可能な第3のスイッチ手段が各メモリセル列毎に設けられているものにおいて、前記ビット線と反対側の前記共通電圧供給線から書き込みのための第1の電圧を供給する際に、前記第3のスイッチ手段を導通させて前記第2の共通接続ノードと前記第1の共通接続ノードとに同時に前記第1の電圧を供給して充電させた後、前記第1のスイッチ手段を導通させて前記第1の共通接続ノードを前記ビット線の電位に応じて選択的に放電させ、前記ワード線のいずれかに書き込みのための第3の電圧を印加するとともに前記第3のスイッチ手段を非導通にして書き込みを行なうことを特徴とする請求項1に記載の不揮発性記憶装置の書き込み方法。

【請求項3】 前記第3のスイッチ手段を導通させる制御信号の電位は前記第2の電圧とほぼ同一のレベルであることを特徴とする請求項2に記載の不揮発性記憶装置の書き込み方法。

【請求項4】 前記書き込み動作後に、前記ビット線を放電するとともに前記共通電圧供給線の電位を前記第2の電圧よりも低い第4の電圧に切り換えて、前記第1および第2のスイッチ手段を導通させて前記第1の共通接続ノードおよび前記第2の共通接続ノードを放電した後に書き込みベリファイのための読出し動作に移行することを特徴とする請求項2に記載の不揮発性記憶装置の書き込み方法。

【請求項5】 前記メモリセルが、前記第1の共通接続ノードと前記第2の共通接続ノードと間に直列形態に接

続されたスイッチ素子と記憶素子とから構成されているものにおいて、

書き込み動作に際して前記スイッチ素子をオフさせた状態で前記第2のスイッチ手段を介して前記メモリセル列の前記ビット線と反対側の第2の共通接続ノードに前記共通電圧供給線から書き込みのための第1の電圧を供給するとともに、前記第2のスイッチ手段をオンさせた状態で前記ビット線および前記第1の共通接続ノードに書き込みデータに応じて前記第1の電圧よりも小さな第2の電圧を選択的に印加して充電した後に、前記ワード線のいずれかに書き込みのための第3の電圧を印加するとともに前記記憶素子と直列のスイッチ素子を導通させて、書き込みを行ないたい選択メモリセルには電流を流し、書き込みを行ないたくない非選択メモリセルには電流を流さないようにして選択的にメモリセルに対して書き込みを行なうことを特徴とする請求項1に記載の不揮発性記憶装置の書き込み方法。

【請求項6】 書き込み動作時に前記記憶素子と直列のスイッチ素子を導通させる制御信号の電位は前記第2の電圧よりも小さいことを特徴とする請求項5に記載の不揮発性記憶装置の書き込み方法。

【請求項7】 前記書き込み動作後に、前記ビット線を放電するとともに前記共通電圧供給線の電位を前記第2の電圧よりも低い第4の電圧に切り換えて、前記第1の共通接続ノードおよび前記第2の共通接続ノードを放電した後に書き込みベリファイのための読出し動作に移行することを特徴とする請求項5または6に記載の不揮発性記憶装置の書き込み方法。

【請求項8】 前記ビット線には前記第1のスイッチ手段を介して2つのメモリセル列が接続可能にされているものにおいて、奇数番目のメモリセル列の前記第1の共通接続ノードを前記第1のスイッチ手段により前記ビット線に接続させるときは前記第2のスイッチ手段により前記第2の共通接続ノードを前記共通電圧供給線に接続させるとともに、偶数番目のメモリセル列の前記第2の共通接続ノードを前記第1のスイッチ手段により前記ビット線に接続させるときは前記第2のスイッチ手段により前記第1の共通接続ノードを前記共通電圧供給線に接続させることを特徴とする請求項5～7のいずれかに記載の不揮発性記憶装置の書き込み方法。

【請求項9】 前記選択ワード線に接続されている全メモリセル列を対象にして同時に消去動作を行なうものにおいて、前記選択ワード線に接続されている奇数列目の全メモリセル列または偶数列目の全メモリセル列を対象にしてそれぞれ同時に書き込み動作を行なうことを特徴とする請求項8に記載の不揮発性記憶装置の書き込み方法。

【請求項10】 前記選択メモリセルに書き込み電流が流される方向は、読出し時に選択メモリセルに電流が流される方向と同一であることを特徴とする請求項5～7のいずれかに記載の不揮発性記憶装置の書き込み方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電氣的に書込み消去可能な不揮発性メモリにおける書込み制御方式に適用して有効な技術に関し、例えば所定の単位で一括してデータの消去が可能なフラッシュメモリに利用して有効な技術に関する。

## 【0002】

【従来の技術】フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する2層ゲート構造のMOSFETからなる不揮発性記憶素子をメモリセルとして使用している。従来、フラッシュメモリにおける書き込み方式には、FNTトンネル現象を利用する方式とホットエレクトロンを利用する方式とがある。FNTトンネル現象を利用する方式は、コントロールゲートと基板（もしくはウェル領域）との間またはコントロールゲートとソースまたはドレインとの間に電圧を印加してFNTトンネル現象を利用してフローティングゲートに電荷を注入させたり放出させたりしてしきい値を変化させる方式である。

【0003】一方、ホットエレクトロンを利用する方式は、コントロールゲートに高電圧を印加した状態でソース・ドレイン間に電流を流してチャネルで発生したホットエレクトロンをフローティングゲートに注入してしきい値を変化させる方式である。なお、ホットエレクトロン方式の場合、フローティングゲートからの電荷の引き抜きは一般にFNTトンネルで行なう。また、いずれの書き込み方式を採用する場合も、フラッシュメモリにおけるデータの消去は、1本のワード線に接続されたメモリセル（セクタ）またはウェル領域やソース線を共通にする複数のセクタ（ブロック）を単位として行なわれるように構成されることが多い。

## 【0004】

【発明が解決しようとする課題】図16に、従来のFNTトンネルによる書き込み方式におけるメモリセルへの印加電圧の例（書き込みによりメモリセルのしきい値を高くする方式）を示す。このうち（A）は選択すなわち書き込みを行なうメモリセルの印加電圧、（B）は非選択すなわち書き込みを行わないメモリセルの印加電圧である。同図に示されているように、選択メモリセルのソースおよびドレインには0Vの電圧が印加される一方、非選択メモリセルのソースおよびドレインには5Vの書き込み阻止電圧が印加される。

【0005】ところで、フラッシュメモリには、図17（A）のような記憶素子Qmが直列に接続されたNAND型と呼ばれるメモリアレイと、図17（B）のような記憶素子Qmが並列に接続されたAND型と呼ばれるメモリアレイとがある。

【0006】このうちAND型のメモリアレイにおいては、図17（B）に示されているように、記憶素子Qm

のドレインが接続されたローカルビット線LBLが選択MOSFET Qsを介して主ビット線GBLに接続されるように構成されることが多い。かかるメモリアレイにおいて、図16のような書き込み方式を採用した場合、書き込みデータに応じて主ビット線およびローカルビット線を介して記憶素子Qmに5Vのような書き込み阻止電圧を印加させるようにすると、メモリアレイの記憶容量が増加するほどビット線の長さが長くなりビット線の数も多くなるため、ビット線の負荷容量が大きくなりビット線が所定の電位に到達するまでの時間が長くなって書き込み所要時間が長くなるとともに、消費電力も多くなるという課題がある。

【0007】また、書き込み阻止電圧を昇圧回路のような内部電源回路で発生するものにおいては、ビット線の負荷容量が大きくなると内部電源回路の電源供給能力を大きくする必要があるため、回路の占有面積が大きくなってチップサイズを増大させてしまう。さらに、FNTトンネルによる書き込み方式を採用した場合、メモリセル間の絶縁のためセル間に素子分離領域を設ける必要があるとともに、ホットエレクトロン方式に比べてメモリセルを構成する素子の耐圧を高くする必要があるため微細化が困難となり集積度が上がらないという不具合もある。

【0008】この発明の目的は、トータルの書き込み所要時間を短縮可能なフラッシュメモリのような不揮発性記憶装置を提供することにある。

【0009】この発明の他の目的は、消費電力を低減可能なフラッシュメモリのような不揮発性記憶装置を提供することにある。

【0010】この発明のさらに他の目的は、メモリアレイの集積度を向上させることができる不揮発性記憶装置を提供することにある。

【0011】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0013】すなわち、複数のワード線およびビット線と、前記ワード線のいずれかに接続されたメモリセルが複数個並列に接続されてなる複数のメモリセル列とを備え、前記各メモリセル列の第1の共通接続ノードは第1のスイッチ手段を介して前記ビット線に接続可能にされ、前記メモリセル列の第2の共通接続ノードは第2のスイッチ手段を介して共通電圧供給線に接続可能にされたメモリアレイを有する不揮発性記憶装置の書き込み方法において、書き込み動作に際して前記第2のスイッチ手段を介して前記メモリセル列の第1の共通接続ノードに前記ビット線と反対側の前記共通電圧供給線から書き込みのための第1の電圧を充電した後に、前記ビット線には書

込みデータに応じて前記第1の電圧よりも小さな第2の電圧を選択的に印加するとともに前記第1および第2のスイッチ手段を制御して書込みを行ないたい選択メモリセルには電流を流し充電した第1の電圧を放電し、書込みを行ないたくない非選択メモリセルには電流を流さないようにした後に前記ワード線のいずれかに書込みのための第3の電圧を印加して選択的にメモリセルに対して書込みを行なうようにしたものである。

【0014】より具体的には、複数のメモリセルがローカルビット線とローカルドレイン線との間に並列に接続されてなるいわゆるAND型のメモリアレイを有する不揮発性記憶装置において、ローカルビット線とローカルドレイン線との間を短絡可能なスイッチMOSFETを設けて共通ドレイン線側（主ビット線の反対側）から書込み阻止電圧を供給してローカルビット線およびローカルドレイン線をプリチャージした後、書込みデータに応じて主ビット線に0Vまたは前記書込み阻止電圧よりも小さな電圧を印加し、ローカルビット線と主ビット線との間の選択MOSFETのゲートに上記主ビット線の印加電圧と同程度の電圧を印加して選択MOSFETを選択的に導通させて書込みを行ないたい選択メモリセルが接続されているローカルビット線のプリチャージ電荷を主ビット線側に引き抜いてから、ワード線に書込み電圧を印加して書込みを行ないたい選択メモリセルにFNTトンネルにより電子をフローティングゲートに注入させるようにしたものである。

【0015】上記した手段によれば、書込みに際して予め書込み阻止電圧までプリチャージする必要があるのは比較的寄生容量の小さなローカルビット線とローカルドレイン線であり、主ビット線は書込み阻止電圧よりも小さな電圧まで上げてやれば良いので、主ビット線を予め書込み阻止電圧までプリチャージする従来方式に比べて、主ビット線をプリチャージするのに要する時間を短縮して書込み速度を速くすることができるとともに書込み時における内部電源回路の負荷容量を低減し消費電力を大幅に少なくすることができる。

【0016】また、上記の場合に、前記第3のスイッチ手段としての選択MOSFETを導通させる制御信号の電位は、書込みデータに応じて前記ビット線に印加される前記第2の電圧と同一かより高いレベルとする。これにより、前記第3のスイッチ手段としての選択MOSFETを、選択的に電圧が印加されたビット線に対応して選択的に導通させて、ローカルビット線の書込み電圧を選択的に引き下げて所望のメモリセルに対してのみ書込みを行なわせることができる。

【0017】さらに、前記書込み動作後に、前記ビット線を放電するとともに前記共通電圧供給線の電位を接地電位に切り換えて、前記第1および第2のスイッチ手段としての選択MOSFETを導通させて前記第1の共通接続ノードとしてのローカルビット線および前記第2の

共通接続ノードとしてのローカルドレイン線を放電した後に書込みベリファイのための読出し動作に移行するようにする。これにより、書込みベリファイのための読出し動作への移行制御が簡単になるとともに、書込み動作後に速やかにベリファイ読出し動作へ移行することができる。

【0018】また、前記メモリセルが、ローカルビット線もしくはローカルドレイン線間に直列形態に接続されたスイッチ素子と記憶素子とから構成されているいわゆるAG-AND型の不揮発性記憶装置において、書込み動作に際して前記スイッチ素子をオフさせた状態で主ビット線と反対側の前記ローカルドレイン線に共通電圧供給線から書込みのための比較的高い電圧を供給するとともに、前記主ビット線および該主ビット線に接続されたローカルビット線には書込みデータに応じて比較的小さな電圧を選択的に印加して充電した後に、前記ワード線のいずれかに書込みのための高電圧を印加するとともに前記記憶素子と直列のスイッチ素子を導通させて、書込みを行ないたい選択メモリセルには電流を流し、書込みを行ないたくない非選択メモリセルには電流を流さないようにして選択的にメモリセルに対して書込みを行なうようにした。

【0019】上記した手段によっても、書込みに際して予め比較的高い書込み電圧までプリチャージする必要があるのは比較的寄生容量の小さなローカルドレイン線であり、主ビット線およびローカルビット線はローカルドレイン線の書込み電圧よりも小さな電圧まで上げてやれば良いので、主ビット線を予め書込みドレイン電圧までプリチャージする従来方式に比べて、主ビット線をプリチャージするのに要する時間を短縮して書込み速度を速くすることができるとともに、書込み時における内部電源回路の負荷容量を低減し消費電力を大幅に少なくすることができる。

【0020】また、前記書込み動作時に前記記憶素子と直列のスイッチ素子を導通させる制御信号の電位は前記ビット線に印加される電圧とほぼ同一のレベルとする。これにより、記憶素子と直列のスイッチ素子を、選択的に電圧が印加された主ビット線に対応して選択的に導通させて、所望のメモリセルに対してのみ書込みを行なわせることができる。

【0021】さらに、前記書込み動作後に、前記ビット線を放電するとともに前記共通電圧供給線の電位を接地電位に切り換えて、前記第1の共通接続ノードおよび前記第2の共通接続ノードとしてのローカルドレイン線を放電した後に書込みベリファイのための読出し動作に移行するようにする。これにより、書込みベリファイのための読出し動作への移行制御が簡単になるとともに、書込み動作後に速やかにベリファイ読出し動作へ移行することができる。

【0022】また、前記ビット線（主ビット線）には前

記第1のスイッチ手段を介して2つのメモリセル列が接続可能にされているものにおいて、奇数番目のメモリセル列の前記第1の共通接続ノードを前記第1のスイッチ手段により前記ビット線に接続させるときは前記第2のスイッチ手段により前記第2の共通接続ノードを前記共通電圧供給線に接続させるとともに、偶数番目のメモリセル列の前記第2の共通接続ノードを前記第1のスイッチ手段により前記ビット線に接続させるときは前記第1のスイッチ手段により前記第2の共通接続ノードを前記共通電圧供給線に接続させるようにする。これにより、奇数列のメモリセル列と偶数列のメモリセル列に対してビット線の共通化が可能になり、トータルのビット線の数さらにはビット線の容量を減らし、さらに書き込み速度を速くすることができるとともに、消費電力を低減することができる。

【0023】さらに、前記選択ワード線に接続されている全メモリセル列を対象にして同時に消去動作を行なうものにおいて、前記選択ワード線に接続されている奇数列目の全メモリセル列または偶数列目の全メモリセル列を対象にしてそれぞれ同時に前記書き込み動作を行なうようにする。これにより、奇数列目のメモリセル列と偶数列目のメモリセル列に対してビット線の共通化を図っても、消去は1本の選択ワード線に接続されている全メモリセル列を対象にして同時に消去動作を行なうことができる。

【0024】また、前記選択メモリセルの書き込み電流や書き込みベリファイのための読出し電流が流される方向は、読出し時に選択メモリセルに電流が流される方向と同一となるようにする。これにより、電流の流れる方向によってメモリセルのしきい値が異なってしまうのを回避して、正確なデータの読出しが可能となる。

【0025】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0026】図1は、本発明を適用して好適な不揮発性記憶装置としてのフラッシュメモリの一例のブロック図を示す。特に制限されるものでないが、図1のフラッシュメモリは1つのメモリセルに2ビットのデータを記憶可能な多値メモリとして構成され、単結晶シリコンのような1個の半導体チップ上に形成される。

【0027】特に制限されるものでないが、図1のフラッシュメモリでは、メモリアレイ10は2つのメモリマットMAT-U、MAT-Dで構成され、2つのマット間に各マット内のビット線BLに接続され読出し信号の増幅およびラッチやビット線のプリチャージ等を行なうセンスラッチ回路11が配置されている。以下、このセンスラッチ回路11の増幅動作とラッチ動作を行なう部分をセンスラッチと称し、SLTと記す。また、マットの外側すなわちビット線BLを挟んでセンスラッチ回路11と反対側にそれぞれ書き込み、読出しデータを一時保

持したりビット線のプリチャージ等を行なうデータラッチ回路12a、12が配置されている。

【0028】以下、このデータラッチ回路12a、12bのラッチ動作を行なう部分をデータラッチと称し、DLTと記す。なお、本明細書においては、特に断わらない限り、ビット線とはセンスアンプに接続される主ビット線を意味する。これに対して、ローカルビット線とは選択スイッチおよび主ビット線を介して間接的にセンスアンプに接続されるものを指す。

【0029】図1の実施例において、メモリマットMAT-U、MAT-Dにはそれぞれ、フローティングゲートとコントロールゲートとを有する2層ゲート構造のMOSFETにより構成されたメモリセルがマトリックス状に配置され、同一行のメモリセルのコントロールゲートは連続して形成されてワード線WLを構成し、同一列のメモリセルのドレインは共通のビット線BLに接続可能にされている。

【0030】また、メモリアレイ10には、各メモリマットMAT-U、MAT-Dに対応してそれぞれX系のアドレスデコーダ（ワードデコーダ）13a、13bが設けられている。該デコーダ13a、13bにはデコード結果に従って各メモリマット内の1本のワード線WLを選択レベルに駆動するワードドライブ回路が含まれる。

【0031】14a、14b、14cはY系のアドレスをデコードするデコーダ回路である。図1には示されていないが、このデコーダの出力によって選択的にオン、オフされてセンスラッチ回路11やデータラッチ回路12a、12bのラッチを選択するYゲート（カラムスイッチ）は、センスラッチ回路11やデータラッチ回路12a、12b内に設けられている。また、15a、15bは、外部から供給される書き込みデータを上記データラッチ12a、12bに渡したり、データラッチ12a、12bにラッチされた読出しデータを増幅したりするメインアンプである。

【0032】図1のフラッシュメモリは、特に制限されないが、外部のコントロール装置から与えられるコマンド（命令）を解釈し当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路（シーケンサ）20を備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を実行するように構成されている。前記制御回路20は、例えばコマンドを実行するのに必要な一連のマイクロ命令群が格納されたROM（リード・オンリ・メモリ）21を備え、マイクロ命令が順次実行されてチップ内部の各回路に対する制御信号を形成するように構成される。

【0033】また、上記制御回路20は、内部の状態を反映するステータスレジスタ22を備え、このステータスレジスタ22の状態に応じて外部からのアクセスが可



能可否か示すレディ／ビジー信号R／Bが生成されて外部へ出力される。さらに、この実施例のフラッシュメモリには、発振回路23が設けられ、制御回路20はこの発振回路23で生成されたシステムクロック信号 $\phi_s$ に同期して動作するように構成されている。

【0034】また、図1の多値フラッシュメモリには、外部から入力されるデータ信号やアドレス信号、制御信号を取り込んだり、メモリアレイから読み出されたデータ信号や前記ステータスレジスタ22の内容等を外部へ出力するための入出力バッファ回路31、外部から入力されるアドレス信号を取り込んでカウントアップ動作しY系のアドレスを発生するアドレスカウンタ32、外部から入力された2ビットの書込みデータを多値書込みのために変換し変換後のデータをメインアンパ15a、15bに振り分けたりメインアンパ15a、15bで増幅された読出しデータを逆変換したりするデータ制御回路33、前記制御回路20からの制御信号に基づいて前記センスラッチ回路11やデータラッチ回路12a、12bに対する動作タイミング信号を生成して供給するタイミング制御回路34、センスラッチ回路11により読み出されたデータに基づいて書込みが終了したか判定を行なうオール判定回路35、メモリアレイ10への書込みや消去に使用される高電圧を発生する電源回路40等が設けられている。なお、この実施例では、上記データとコマンド、アドレスは、共通の入出力端子I/O0～I/O7から前記入出力バッファ回路31により時分割で入出力されるように構成されている。

【0035】前記電源回路40は、書込み電圧等の基準となる電圧を発生する基準電圧発生回路41や外部から供給される電源電圧Vccに基づいて書込み電圧、消去電圧、読出し電圧、ペリファイ電圧等チップ内部で必要とされる電圧を発生するチャージポンプなどの昇圧回路からなる内部電源発生回路42、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してXデコーダ13a、13b等に供給する電源切替え回路43、これらの回路を制御する電源制御回路44等からなる。なお、図1において、51は外部から例えば5Vあるいは3.3Vのような電源電圧Vccが印加される電源電圧端子、52は同じく接地電位Vssが印加される電源電圧端子（グランド端子）であり、電源回路からの電源を受ける回路を除くメモリアレイの周辺回路は電源電圧Vccで動作する。

【0036】外部のCPUなどのコントロール装置から前記フラッシュメモリに入力される制御信号としては、例えばリセット信号RESやチップ選択信号CE、書込み制御信号WE、出力制御信号OE、コマンドもしくはデータ入力かアドレス入力かを示すためのコマンドイネーブル信号CDE、システムクロックSC等がある。コマンドとアドレスはコマンドイネーブル信号CDEと書込み制御信号WEとに従って、制御回路20とアドレス

カウンタ32にそれぞれ取り込まれ、書込みデータはコマンドイネーブル信号CDEがコマンドもしくはデータ入力を示しているときに、システムクロックSCが入力されることでこのクロックに同期してデータ制御回路33に取り込まれる。

【0037】図2には本発明を適用して好適なメモリアレイ10の具体例（いわゆるAND型）を示す。図2には、2つのメモリマットで構成されている実施例のメモリアレイ10のうち、片方のメモリマットの具体例が示されている。同図に示すように、各メモリマットは、列方向に配列され各々ソースおよびドレインが共通接続された並列形態のn個（例えば256個）のメモリセル（フローティングゲートを有するMOSFET）MC1～MCnからなるメモリ列MCCが行方向（ワード線WL方向）および列方向（ビット線GBL方向）にそれぞれ複数個配設されている。特に制限されるものでないが、1本のワード線には約1万6千個のメモリセルが接続される。

【0038】センスラッチSLTの一方の入出力ノードには、伝送MOSFET Q<sub>t11</sub>、Q<sub>t12</sub>……を介して一方のメモリマットの主ビット線GBL11、GBL12、……が接続され、センスラッチSLTの他方の入出力ノードには、伝送MOSFET Q<sub>t21</sub>、Q<sub>t22</sub>……を介して一方のメモリマットの主ビット線GBL21、GBL22、……が接続され、両方のメモリマットの主ビット線の電位差で読出しデータをセンスするように構成されている。

【0039】各メモリ列MCCは、n個のメモリセルMC1～MCnおよび1個のショートMOSFET Q<sub>s</sub>のソースおよびドレインがそれぞれ共通のローカルビット線LBLおよび共通のローカルドレイン線LDLに接続され、ローカルビット線LBLは選択MOSFET Q<sub>s</sub>bを介して主ビット線GBLに、またローカルドレイン線LDLは選択MOSFET Q<sub>s</sub>dを介して共通ドレイン線CDLに接続可能にされている。メモリアレイが複数のブロックに分割され、各ブロックごとに設けられたローカルビット線LBLが選択MOSFET Q<sub>s</sub>bを介して主ビット線GBLに接続される構成にされることにより、ローカルビット線LBLのプリチャージに要する消費電力を低減することができる。

【0040】ローカルビット線LBLおよびローカルドレイン線LDLを共通にする上記複数のメモリ列のうちワード線方向に配設されているもの（これを1ブロックと称する）は半導体基板上の同一のウェル領域WELL内に形成され、データ消去時にはそのウェル領域WELLおよびローカルドレイン線LDLに0Vのような電位を与え、ウェル領域を共通にするワード線に-16Vのような負電圧を印加して、FNTトンネル現象を利用してブロック内のメモリセルのフローティングゲートから負電荷を引き抜くことで、セクタ単位もしくはブロック単

位で一括消去が可能にされている。

【0041】なお、データ消去時には切替えスイッチSW1が接地電位側に接続されて、共通ドレイン線CDLを介して各メモリセルのドレインに0Vの電位が印加されるように構成されている。このとき、ビット線側の選択MOSFET Qsbはオフされ、ショートMOSFET Qstはオンされ、ローカルビット線LBLはオン状態にされたショートMOSFET Qstを通してソース側の電圧が伝えられることで0Vのような電位にされる。

【0042】図3には本実施例のAND型メモリアレイにおける書き込み動作の手順が、また図4にはそのタイミングチャートが示されている。

【0043】図3に示されているように、データ書き込み時には、ローカルビット線LBL上の選択MOSFET Qsbをオフさせた状態で、先ず制御信号SHiを5Vのような選択レベルに立ち上げてショートMOSFET Qstをオンさせる（ステップS1、タイミングt1）。続いて、切替えスイッチSW1をドレイン充電電圧Vwd側に接続させた状態で、制御信号SDiを5Vのような選択レベルに立ち上げて共通ドレイン側の選択MOSFET Qsdをオンさせる（ステップS2）。これによって、ローカルドレイン線LDLおよびローカルビット線LBLが例えば5Vのような電圧Vwdに充電される（ステップS3）。

【0044】次に、センスラッチSLTに保持されている書き込みデータに基づいて主ビット線GBLを選択的にプリチャージする（ステップS4）。具体的には、書き込みを行ないたいメモリセルが接続された主ビット線GBLは0Vを保持させ、書き込みを行なわないメモリセルが接続された主ビット線GBLは外部からの電源電圧Vccよりも低い0.8Vのような電位にプリチャージする。

【0045】しかる後、制御信号SDiを0Vに立ち下げて共通ドレイン側の選択MOSFET Qsdをオフさせ、引き続き制御信号SSiを0.8Vのような選択レベルに立ち上げてローカルビット線側の選択MOSFET Qsbをオンさせる（ステップS5、タイミングt2）。すると、プリチャージされている主ビット線GBLの電位は0.8Vで、プリチャージされていない主ビット線GBLの電位は0Vであるので、プリチャージされていない主ビット線GBLに接続されている選択MOSFET Qsbはオンされるが、プリチャージされている主ビット線GBLに接続されている選択MOSFET Qsbはゲートとソースが同一電位であるためオンされない。そのため、プリチャージされている主ビット線GBLに対応するローカルビット線はドレイン充電電圧Vwdを保持し、プリチャージされていない主ビット線GBLに対応するローカルビット線は0Vにディスチャージされる。

【0046】次に、制御信号SHiと制御信号SSiを0Vに立ち下げてショートMOSFET Qstとローカルビット線側の選択MOSFET Qsbをオフさせる（ステップS6、タイミングt3）。それから、ワード線に14Vのような書き込み電圧を印加する（ステップS7、タイミングt4）。すると、非選択のローカルビット線はドレイン充電電圧Vwdを保持しているため、非選択メモリセルの基板-フローティングゲート間の電界が緩和されFNTトンネル電流が流れず、メモリセルのしきい値は変化されない。

【0047】一方、選択ローカルビット線は0Vにディスチャージされているため、FNTトンネル電流により負電荷がフローティングゲートに注入されてメモリセルのしきい値が高くなる書き込みが行なわれる（図4の期間T1）。

【0048】上記書き込み動作が終了するとベリファイ読出し動作（ステップS8、期間T2）を行ない、メモリセルのしきい値VthがベリファイレベルVwvよりも高くなったか否かを判定する（ステップS9）。そして、しきい値VthがベリファイレベルVwvよりも高くなっていれば書き込み動作を終了し、しきい値VthがベリファイレベルVwvよりも高くないときはステップS1へ戻って再度書き込みを行なう。

【0049】なお、上記ベリファイ読出しは、図4に示されているように、ワード線WLと共通ドレイン線CDLの電位を立ち下げた後（タイミングt5）、制御信号SDiと制御信号SSiを立ち上げて選択MOSFET QsbとQsdをオンさせ（タイミングt6）、ローカルビット線LBLとローカルドレイン線LDLをディスチャージさせる（期間T21）。しかる後、制御信号SDiを立ち下げて選択MOSFET Qsbをオフさせ（タイミングt7）、センスラッチSLTにより主ビット線GBLの電位を0.8V程度までプリチャージする（期間T22）。

【0050】続いて、再び制御信号SDiを立ち上げて選択MOSFET Qsbをオンさせるとともに、ワード線WLを立ち上げる（タイミングt8）。そして、選択ワード線に接続されているメモリセルのしきい値に応じてメモリセルに電流が流れて主ビット線GBLの電位が変化したか否かをセンスラッチSLTにより増幅する（期間T23）。その後、センスラッチSLTの保持データをチェックしてすべての書き込みが終了したか否かのオール判定を行なう（期間T24）。

【0051】図5には本発明を適用して好適なメモリアレイ10の他の実施例（いわゆるAG-AND型）を示す。この実施例のメモリアレイは、同図に示すように、フローティングゲートを有する不揮発性記憶素子としてのMOSFET Qmと該記憶素子Qmとチャネルが直列をなすように構成されたアシストゲートMOSFET QaとによってメモリセルMCが構成されている。



【0052】かかる構成を有する $n$ 個（例えば256個）のメモリセルMC1～MC $n$ が列方向に配列され各々記憶素子Q $m$ のソースもしくはドレインとおよびアシストゲートMOSFET Q $a$ のドレインもしくはソースが共通接続された並列形態のメモリ列MCCが、行方向（ワード線WL方向）および列方向（ビット線GBL方向）にそれぞれ複数個配設されて、メモリアレイが構成されている。

【0053】そして、同一行のメモリセルの記憶素子Q $m$ のゲートがワード線WLを構成もしくはワード線に接続され、奇数番目のメモリ列のアシストゲートMOSFET Q $a$ のゲートには共通の制御信号AG0が、また偶数番目のメモリ列のアシストゲートMOSFET Q $a$ のゲートには共通の制御信号AG1が印加されて、制御されるように構成されている。

【0054】さらに、この実施例のメモリアレイにおいては、ローカルビット線とローカルドレイン線（もしくはローカルソース線）とを兼用するローカルドレイン線LDLがワード線と交差する方向に配設されている。そして、1本のローカルドレイン線LDLには、その両側に位置するメモリセルMC $i$ の記憶素子Q $m$ のソースもしくはドレインと、MC $i+1$ のアシストゲートMOSFET Q $a$ のドレインもしくはソースが接続されている。

【0055】そして、各ローカルドレイン線LDLの一端は選択MOSFET Q $s b 1$ , Q $s b 2$ ……を介して2本ずつそれぞれ共通の主ビット線GBL1, GBL2……に接続可能にされているとともに、他端は選択MOSFET Q $s d 1$ , Q $s d 2$ ……を介して共通ドレイン線（もしくは共通ソース線）CDLに接続可能にされている。また、ローカルドレイン線LDLを対応する主ビット線GBLに接続可能にする選択MOSFET Q $s b 1$ , Q $s b 2$ ……のうち奇数番目のローカルドレイン線LDL上の選択MOSFET Q $s b$ と偶数番目のローカルドレイン線LDL上の選択MOSFET Q $s d$ は、異なる制御信号SS0 $i$ とSS1 $i$ によりオン、オフ制御される。

【0056】一方、ローカルドレイン線LDLを共通ドレイン線CDLに接続可能にする選択MOSFET Q $s d 1$ , Q $s d 2$ ……のうち奇数番目のローカルドレイン線LDL上の選択MOSFET Q $s b$ と偶数番目のローカルドレイン線LDL上の選択MOSFET Q $s d$ は、同時にハイレベルになることがない異なる制御信号SD0 $i$ とSD1 $i$ によりオン、オフ制御されるように構成されている。さらに、制御信号SS0 $i$ , SS1 $i$ とSD0 $i$ , SD1 $i$ も、ある1本のローカルドレイン線LDL上に着目すると、主ビット線側の選択MOSFET Q $s b$ と共通ドレイン線CDL側の選択MOSFET Q $s d$ を同時にオン状態にすることがないように形成される。

【0057】なお、共通ドレイン線CDLには切替えスイッチSW2を介し手V $s s$  (0V) または5Vのような書き込み電圧V $w d$ が印加される。図5には示されていないが、隣接する2本のローカルドレイン線LDLが選択MOSFET Q $s b$ を介して接続されている主ビット線GBLは、ワード線WLと交差する方向に延設され、その一端は前記センスラッチSLTに、また他端はデータラッチDLTに接続される。

【0058】ここで、この実施例のAG-AND型メモリアレイにおけるデータの書き込み動作の原理を、図6を用いて説明する。この実施例のメモリアレイの書き込みは、奇数番目の列のメモリセルの書き込みと偶数番目の列のメモリセルの書き込みとが、時分割で別々に行なわれる。

【0059】奇数番目の列のメモリセルへのデータの書き込み時には、図6(A)に示すように、奇数列目の主ビット線側の選択MOSFET Q $s b 1$ , Q $s b 3$ ……をオンさせ、共通ドレイン線CDL側の選択MOSFET Q $s d 1$ , Q $s d 3$ ……をオフさせるとともに、偶数列目の主ビット線側の選択MOSFET Q $s b 2$ , Q $s b 4$ ……をオフさせ、共通ドレイン線CDL側の選択MOSFET Q $s d 2$ , Q $s d 4$ ……をオンさせた状態で、共通ドレイン線CDLから5Vのような電圧V $w d$ を偶数番目のローカルドレイン線LDL2, LDL4……に印加する。

【0060】また、主ビット線GBLからは、書き込みデータに応じてしきい値を変化させたいメモリセル（選択メモリセル）が接続されている主ビット線には0Vを、そしてしきい値を変化させたくないメモリセル（選択メモリセル）が接続されている主ビット線には0.8Vをそれぞれ印加して、オンされている奇数列目の選択MOSFET Q $s b 1$ , Q $s b 3$ ……を介して奇数番目のローカルドレイン線LDL1, LDL3……に主ビット線の電圧を伝達する。さらにこのとき、制御信号AG0を0.6Vのような電位に立ち上げて奇数列目のメモリセルのアシストゲートMOSFET Q $a$ をオン状態にさせるとともに、ワード線を書込み選択レベルの15Vのような高電圧に立ち上げる。

【0061】すると、選択メモリセル（例えばMC11）の記憶素子Q $m$ のソースとドレインには、奇数番目のローカルドレイン線LDL1, LDL3……から0Vが、また偶数番目のローカルドレイン線LDL2, LDL4……から5Vが供給される。そのため、選択メモリセル（MC11）のコントロールゲートCG、アシストゲートAGおよびソースS、ドレインDへの印加電圧は図7(A)のようになり、ビット線側から共通ドレイン線側へ向かってドレイン電流が流れて発生したホットエレクトロンがフローティングゲートFGに注入されてしきい値が変化する。

【0062】一方、非選択メモリセル（例えばMC3

1) の記憶素子 $Q_m$ のソースとドレインには、奇数番目のローカルドレイン線 $LDL1, LDL3, \dots$ から $0.8V$ が、また偶数番目のローカルドレイン線 $LDL2, LDL4, \dots$ から $5V$ が供給されるそのため、非選択メモリセル(MC31)のコントロールゲートCG、アシストゲートAGおよびソースS、ドレインDへの印加電圧は図7(B)のようになり、ドレイン電流が流れずしきい値は変化しないこととなる。

【0063】偶数番目の列のメモリセルへのデータの書込み時には、図6(B)に示すように、偶数番目の主ビット線側の選択MOSFET  $Qsb2, Qsb4, \dots$ をオンさせ、共通ドレイン線CDL側の選択MOSFET  $Qsd2, Qsd4, \dots$ をオフさせるとともに、奇数列目の主ビット線側の選択MOSFET  $Qsb1, Qsb3, \dots$ をオフさせ、共通ドレイン線CDL側の選択MOSFET  $Qsd1, Qsd3, \dots$ をオンさせた状態で、共通ドレイン線CDLから $5V$ のような電圧を偶数番目のローカルドレイン線 $LDL1, LDL3, \dots$ に印加する。そして、その後は奇数列目のメモリセルへのデータの書込みと同様の動作により、選択メモリセルのしきい値を変化させ、非選択メモリセルのしきい値は変化させないようにすることができる。

【0064】上記のように、この実施例のAG-AND型メモリアレイにおいては、共通ドレイン線CDLおよびそれに接続されたローカルドレイン線LDLに比べて寄生容量がかなり大きい主ビット線GBLを書込みデータに応じて $0.8V$ にプリチャージするだけで良く、従来のように主ビット線を $5V$ のような電圧にプリチャージする必要がないので、ビット線の電圧立上げ時間を短縮できるとともに、消費電力を大幅に低減することができる。

【0065】しかも、AG-AND型メモリアレイにおいては、アシストゲートMOSFET  $Qa$ により隣接する記憶素子 $Q_m$ 間の電気的な分離を行なうことができ、通常のAND型メモリアレイで隣接する記憶素子間の電気的な分離のために設けている分離領域が不要になるので、高集積化も達成される。具体的には、AG-AND型メモリアレイにおけるメモリセルは、図15に示すような構造とすることができる。

【0066】図15において、SUBは半導体基板、WELLはウェル領域、SDはアシストゲートMOSFET  $Qa$ および記憶素子 $Q_m$ のソース・ドレインとしての拡散領域で、この実施例ではローカルドレイン線LDLを兼ねている。また、AGはアシストゲートMOSFET  $Qa$ のゲート電極、FGは記憶素子 $Q_m$ のフローティングゲート電極、WLはワード線で記憶素子 $Q_m$ のコントロールゲート電極でもある。図15より、AG-AND型メモリアレイにおいては、アシストゲートAGを $0V$ にしてMOSFET  $Qa$ をオフさせればコントロールゲート(WL)がハイレベルにされソース・ドレ

インSD間に電位差があっても記憶素子 $Q_m$ に流れる電流を遮断できるので、記憶素子間の分離領域が不要になり、高集積化も達成されることが分かる。なお、ウェル領域WELLとゲート電極AG、FGとワード線WLとの間はそれぞれ絶縁膜により絶縁されている。

【0067】図8には本実施例のAG-AND型メモリアレイにおける書込み動作の手順が、また図9にはそのタイミングチャートが示されている。以下、奇数列目のメモリセルにデータの書込みを行なう場合を例にとって説明する。

【0068】奇数列目のメモリセルにデータ書込み時には、まずローカルビット線LBL上の選択MOSFET  $Qsb, Qsd$ をすべてオフさせた状態で、共通ドレイン線CDLにドレイン充電電圧 $Vwd$ を印加する(ステップS11)。続いて、センスラッチSLTに保持されている書込みデータに応じて主ビット線GBLを選択的にプリチャージする(ステップS12)。具体的には、書込みを行ないたいメモリセルが接続された主ビット線GBLは $0V$ を保持させ、書込みを行なわないメモリセルが接続された主ビット線GBLは $0.8V$ のような電位にプリチャージする。

【0069】次に、制御信号 $SS0i$ と $SD0i$ を $7V$ のような選択レベルに立ち上げて、奇数番目のローカルビット線LBL上の選択MOSFET  $Qsb$ と偶数番目のローカルビット線LBL上の選択MOSFET  $Qsd$ をオンさせる(ステップS13、タイミング $t1$ )。これによって、偶数番目のローカルドレイン線LDLは $Vwd$ に充電され、奇数番目のローカルドレイン線LDLは書込みデータに応じて選択的に $0.8V$ に充電される。

【0070】しかる後、ワード線に $14V$ のような書込み電圧を印加する(ステップS4、タイミング $t12$ )。また、書込み対象としている奇数列目のメモリセルに対応したアシストゲートを制御する制御信号AG0を $0.6V$ のような電圧に立ち上げる(ステップS5、タイミング $t13$ )。すると、プリチャージされている主ビット線GBLに接続された非選択のローカルドレイン線LDLの電位は $0.8V$ で、プリチャージされていない主ビット線GBLに接続された選択ローカルドレイン線LDLの電位は $0V$ であるので、 $0.8V$ の電位のローカルドレイン線LDLに接続されているメモリセルのアシストゲートMOSFET  $Qa$ はオンされないが、 $0V$ の電位のローカルドレイン線LDLに接続されているメモリセルのアシストゲートMOSFET  $Qa$ はオンされる。

【0071】そのため、オンされないアシストゲートMOSFET  $Qa$ のメモリセルの記憶素子 $Q_m$ のチャンネルには電流が流れず、メモリセルのしきい値は変化されない。一方、オンされたいアシストゲートMOSFET  $Qa$ のメモリセルの記憶素子 $Q_m$ のチャンネルには $Qa$

側に向かって電流が流れ、発生したホットエレクトロンがフローティングゲートに注入されてメモリセルのしきい値が高くされる書込みが行なわれる(期間T11)。

【0072】上記書込み動作が終了すると、選択ワード線WLの電位を選択レベルから0Vへ立ち下げるとともに、アシストゲートを制御する制御信号AG0および共通ドレイン線CDLの電位を0Vに立ち下げて、ローカルドレイン線LDLをリセットする動作(ステップS16, 期間T12)。それから、ベリファイ動作(ステップS17, 期間T20)を行ない、メモリセルのしきい値VthがベリファイレベルVwv(例えば4V)よりも高くなったか否かが判定する(ステップS18)。そして、しきい値VthがベリファイレベルVwvよりも高くなっていれば書込み動作を終了し、しきい値VthがベリファイレベルVwvよりも高くないときはステップS11へ戻って再度書込みを行なう。

【0073】なお、上記ベリファイ読出しは、図9に示されているように、制御信号AG0を書込みの時の0.6Vよりも高い2Vに立ち上げてアシストゲートMOSFET Qaを十分にオンさせた状態で制御信号SS0iとSD0iを立ち下げ偶数番目のローカルビット線LBL上の選択MOSFET Qsdをオフさせてから、センスラッチにより主ビット線GBLの電位を0.8V程度までプリチャージする(タイミングt16, 期間T22)。

【0074】続いて、再び制御信号SD1iを立ち上げて偶数番目のローカルビット線LBL上の選択MOSFET Qsdをオンさせるとともに、ワード線WLを立ち上げる(タイミングt17)。そして、選択ワード線に接続されているメモリセルのしきい値に応じてメモリセルに電流が流れて主ビット線GBLの電位が変化したか否かをセンスラッチにより増幅する(期間T23)。その後、センスラッチの保持データをチェックしてすべての書込みが終了したか否かのオール判定を行なう(期間T24)。

【0075】次に、この実施例のAG-AND型メモリアレイにおけるデータの読出し動作の原理を、図10を用いて説明する。この実施例のメモリアレイの読出しは、奇数番目の列のメモリセルの読出しと偶数番目の列のメモリセルの読出しとが、時分割で別々に行なわれる。ただし、1回1回の読出し動作のタイミングは、図9に示されているベリファイの場合と同様である。

【0076】奇数番目の列のメモリセルからのデータの読出し時には、図10(A)に示すように、偶数列目の主ビット線側の選択MOSFET Qsb2, Qsb4……をオフさせ、共通ドレイン線CDL側の選択MOSFET Qsd2, Qsd4……をオンさせるとともに、奇数列目の主ビット線側の選択MOSFET Qsb1, Qsb3, Qsb5……をオンさせ、共通ドレイン線CDL側の選択MOSFET Qsb1, Qsb

3, Qsb5……をオフさせた状態で、共通ドレイン線CDLから0Vのような電圧を偶数番目のローカルドレイン線LDL2, LDL4……に印加する。

【0077】また、主ビット線は例えば0.8Vのような電位にそれぞれプリチャージして、オンされている奇数列目の選択MOSFET Qsb1, Qsb3, Qsb5……を介して主ビット線GBLから奇数番目のローカルドレイン線LDL1, LDL3……に主ビット線の電圧を伝達する。さらにこのとき、制御信号AG0を立ち上げて奇数列目のメモリセルのアシストゲートMOSFET Qaをオン状態にさせるとともに、ワード線を読み出し選択レベルの電圧(2値の場合にはたとえば4V、また多値の場合には例えば1.3V, 2.6V, 4.0Vなど)に立ち上げる。

【0078】すると、選択メモリセル(例えばMC11)の記憶素子Qmのソースとドレインには、奇数番目のローカルドレイン線LDL1, LDL3……から0.8Vが、また偶数番目のローカルドレイン線LDL2, LDL4……から0Vが供給されるため、記憶素子Qmのしきい値に応じてドレイン電流が流れたり、流れなかったりする。これにより、ドレイン電流が流れたときは主ビット線GBLの電位が0Vに変化し、ドレイン電流が流れなかったときは主ビット線GBLは0.8Vの電位を保持する。この主ビット線GBLの電位がセンスラッチにより検出されて読出しデータが得られることとなる。

【0079】偶数番目の列のメモリセルからのデータの読出し時には、図10(B)に示すように、偶数列目の主ビット線側の選択MOSFET Qsb2, Qsb4……をオンさせ、共通ドレイン線CDL側の選択MOSFET Qsd2, Qsd4……をオフさせるとともに、奇数列目の主ビット線側の選択MOSFET Qsb1, Qsb3……をオフさせ、共通ドレイン線CDL側の選択MOSFET Qsd1, Qsd3……をオンさせた状態で、共通ドレイン線CDLから0Vのような電圧を奇数番目のローカルドレイン線LDL1, LDL3……に印加する。

【0080】また、主ビット線は0.8Vにそれぞれプリチャージして、オンされている偶数列目の選択MOSFET Qsb2, Qsb4……を介して主ビット線GBLから偶数番目のローカルドレイン線LDL2, LDL4……に主ビット線の電圧を伝達する。さらにこのとき、制御信号AG0を立ち上げて偶数列目のメモリセルのアシストゲートMOSFET Qbをオン状態にさせるとともに、ワード線を読み出し選択レベルの1.3V, 2.6V, 4.0Vのような電圧に立ち上げる。これによって、選択ワード線に接続されている偶数列目のメモリセルからデータの読出しを行なうことができる。

【0081】なお、この実施例のAG-AND型メモリアレイにおけるデータの消去は、図7(C)に示すよう

に、メモリセルのコントロールゲートCGに $-16\text{ V}$ のような負電圧、アシストゲートAGに $2\text{ V}$ のような正電圧、ソースSとドレインDおよびウェルWELLに $0\text{ V}$ を印加して、FNトンネル現象でフローティングゲートFGから負電荷を基板側へ引き抜くことで行なわれる。また、データ消去は奇数列と偶数列に関係なく同一のワード線に接続されている全メモリセルを対象にして一括で行なわれる。

【0082】図11には、この実施例のAG-AND型メモリアレイにおける上記のような書込み動作と読出し動作および消去動作を可能にするアレイ周辺のセンスラッチSLTおよびデータラッチDLTを含めた回路の具体例を示す。なお、図11には、1本の主ビット線に関わる回路が、メモリセルが省略された状態で示されており、ハッチングが付されている部分がメモリセル列MCである。

【0083】図11に示されているように、主ビット線GBLに接続されたセンスラッチSLTおよびデータラッチDLTは、それぞれPチャネルMOSFETとNチャネルMOSFETからなる2つのCMOSインバータの入出力端子が交差結合されたフリップフロップ回路により構成されている。そして、上記センスラッチSLTの一方の入出力ノードNLに一方のメモリマト内の主ビット線GBLLが伝送MOSFET  $Q_{tL}$ を介して接続されている。また、フリップフロップFFの他方の入出力ノードNRには、他方のメモリマト内の主ビット線GBLRが伝送MOSFET  $Q_{tR}$ を介して接続されている。なお、回路はセンスラッチSLTを挟んで対称であるので、以下、左側の主ビット線GBLL側の構成について説明する。

【0084】上記センスラッチSLTの左側の入出力端子NLにはセンスラッチリセット用のMOSFET  $Q_{d1}$ が接続されている。また、各主ビット線GBLLにはプリチャージ用のMOSFET  $Q_{p1}$ 、 $Q_{p2}$ とディスチャージ用のMOSFET  $Q_{d2}$ が接続され、このうち $Q_{p1}$ はMOSFET  $Q_c$ を介して電源電圧FPCが供給される端子に接続され、 $Q_c$ のゲートはセンスラッチSLTの入出力ノードNLに接続されその保持データに応じてオン、オフされ、PCLが $0.8\text{ V}+V_{th}$ （しきい値電圧）のような電位にされることにより、センスラッチSLTの保持データが“1”のときに対応する主ビット線GBLLを $0.8\text{ V}$ にプリチャージする。

【0085】プリチャージMOSFET  $Q_{p2}$ はそのゲート制御信号RPCLが $0.8\text{ V}+V_{th}$ のような電位にされることにより主ビット線GBLLを $0.8\text{ V}$ に、また反対側のメモリマトでは信号RPCLが $0.4\text{ V}+V_{th}$ のような電位にされることにより主ビット線GBLRを $0.4\text{ V}$ にプリチャージする。また、プリチャージMOSFET  $Q_{p2}$ は、主ビット線GBLをディスチャージする際にも利用される。一方、ディスチ

ャージ用MOSFET  $Q_{d2}$ は、主ビット線GBLをディスチャージしたり、消去時にウェル領域と同一の電位（ $0\text{ V}$ ）を印加するのに使用される。このように $Q_{p2}$ と $Q_{d2}$ の両方を用いて容量の大きな主ビット線GBLの電荷を引き抜くことにより、電位の立ち下げを速くして次の動作への移行を早めることができる。

【0086】さらに、上記センスラッチSLTの入出力端子NLにはカラムスイッチMOSFET（Yゲート） $Q_y$ を介して、他端がメインアンプ15aに接続されたコモン入出力線CI/Oに接続可能にされている。また、上記センスラッチSLTの入出力ノードNLにはオール“0”判定用のMOSFET  $Q_{at}$ のゲートが接続されており、センスラッチSLTの保持データが

“1”であるに対応するMOSFET  $Q_{at}$ がオンされて電流が流れるため、この電流を検出することで全てのセンスラッチSLTの保持データが“0”であるか否か判定することができる。各主ビット線GBLL（GBLR）の判定用MOSFET  $Q_{at}$ のドレインECL（ECR）は共通結合されてオール判定回路35に接続される。図示しないが、センスラッチSLTの右側の入出力ノードNRおよび主ビット線GBLRにも、左側と同様な素子 $Q_{p1}$ 、 $Q_{p2}$ 、 $Q_{d1}$ 、 $Q_{d2}$ 、 $Q_c$ 、 $Q_y$ 、 $Q_{at}$ が接続されている。

【0087】主ビット線GBLLの他端とデータラッチDLTの一方の入出力ノードN1との間にも、上記と同様な動作をするMOSFET  $Q_{tL'}$ 、 $Q_{p1'}$ 、 $Q_{d1'}$ 、 $Q_{c'}$ 、 $Q_{y'}$ が接続されている。また、データラッチDLTの他方の入出力ノードN2には、主ビット線GBLLの電位を判別するため、プリチャージレベル（ $0.8\text{ V}$ ）の半分の参照電圧 $0.4\text{ V}$ を供給する素子 $Q_r$ と、データラッチDLTのラッチデータをコモンI/O線CI/Oを介してメインアンプへ出力するためのYゲートMOSFET  $Q_y$ が接続されている。図示しないが、反対側の主ビット線GBLRの他端にも、上記MOSFET  $Q_{tL'}$ 、 $Q_{p1'}$ 、 $Q_{d1'}$ 、 $Q_{c'}$ 、 $Q_{y'}$ 、 $Q_r$ 、 $Q_y$ と同様な動作をする素子およびデータラッチが接続されている。

【0088】次に、上記実施例のメモリアレイにおいて、1つのメモリセルに4値のデータを記憶させる場合の動作について説明する。1つのメモリセルに4値のデータを記憶させる場合、2ビットのデータに基づいて例えば図12（A）に示すように、各記憶素子のしきい値が4つの分布のいずれかに入るように書込みが行なわれる。

【0089】具体的には、この実施例においては、2ビットのデータが“0，1”のときはしきい値が最も高くなるように、またデータが“0，0”のときはしきい値が2番目に高くなるように、データが“1，0”のときはしきい値が3番目に高くなるように、それぞれ書込みが行なわれ、データが“1，1”のときはしきい値が最

も低くなるようにされる。この実施例においては、記憶データ“1, 1”に対応するしきい値が最も低い状態は、記憶素子のフローティングゲートから負電荷が引き抜かれた消去状態とされる。

【0090】図13には、本実施例のフラッシュメモリにおける多値のデータの書込み手順が示されている。なお、この書込みが開始される前にメモリアレイ内のすべてのメモリセルは、しきい値が最も低い消去状態にされる。

【0091】図13に示されているように、書込みはしきい値の最も高い状態に対応されるデータ“0, 1”に対応するデータをセンスラッチSLTと1対のデータラッチDLTにラッチする処理(ステップS21)から行なわれる。具体的には、データ“0, 1”の書込みに際しては、図12(B)の第1欄に示されているように、センスラッチSLTのメモリアレイリマットMATu側のノードNLがハイレベル(3.3V)になり、メモリアレイリマットMATu側のデータラッチDLTuのビット線側のノードがロウレベル(0V)、メモリアレイリマットMATd側のデータラッチDLTdのビット線側のノードがハイレベル(3.3V)になるようにメインアンプからデータが転送される。なお、図12(B)において、符号“H”はハイレベル(3.3V)を、また“L”はロウレベル(0V)を意味している。このようなデータは、例えば外部から入力された2ビットのデータをデータ制御回路33で変換することで生成することができる。あるいは、2ビットのデータの一方を一旦データラッチもしくはセンスラッチへ送って、ビット線上で反転処理や論理演算処理などを行なうことで、図12(B)のようなデータをセットさせるようにしてもよい。

【0092】ここで、2ビットの書込みデータの転送は、1対のデータラッチDLTに対してのみ行ない、センスラッチへは、データラッチからビット線GBLを介して転送するように構成することもできる。また、データの読出しの際には、センスラッチSLTで検出された読出しデータを選択メモリマット側のデータラッチDLTへそれぞれビット線GBLを介して転送し、データラッチで3.3Vのような振幅の信号に増幅してコモンI/O線を介してデータラッチからメインアンプへ順次転送するように構成されている。

【0093】そして、上記のようにして書込みデータがセンスラッチSLTと1対のデータラッチDLTにラッチされると、そのデータに基づいて書込み処理(ステップS22)が実行される。この書込みは、センスラッチの選択マット側の入出力ノードが“H”レベルにされているビット線に接続されているメモリセルに対して書込み電圧を印加することで行なわれる。この書込みデータのラッチは、メモリアレイ内の全ビット線に対応して設けられている全てのセンスラッチSLTとデータラッチ

DLTに対して行なうことで、1本のワード線に接続されているメモリセルの半分(奇数列目または偶数列目)に対する書込み処理を同時に行なうことが可能である。

【0094】1回の書込み動作が終わるとペリファイ読出しを行ない、オール判定回路によりすべてのセンスラッチのデータが“1”になったか否かを判定することで書込みの終了判定が行なわれる(ステップS23)。そして、書込みが未終了であれば、ステップS22へ戻って再度書込み処理を行なう。

【0095】なお、この場合における書込みは、最初の書込み処理でしきい値が充分に変化しなかったもののみを対象とする。書込み後のペリファイ処理では、書込みによりしきい値が変化していなかったメモリセルに対応するセンスラッチの選択マット側のノードにロウレベルが読み出されて保持され、書込みが不要なメモリセルおよび書込みによりしきい値が充分に変化したメモリセルに対応するセンスラッチの選択マット側のノードにハイレベルが読み出されて保持されるようにされているので、ペリファイ処理によりセンスラッチに残っているデータ(選択マット側のノードがハイレベルの状態)を用いて、全ビット線を選択プリチャージして再書込みを行なうことで既に書込みが終了しているメモリセルに対して再度書込み電圧が印加されてさらにしきい値が変化してしまうのを回避することができる。

【0096】データ“0, 1”の書込みが終了すると次はデータ“0, 0”のラッチと書込み、ペリファイ(ステップS24~S26)が行なわれる。データ“0, 0”の書込みに際しては、図12(B)の第2欄に示されているように、センスラッチSLTのメモリアレイリマットMATu側のノードNLがロウレベル(0V)になり、メモリアレイリマットMATu側のデータラッチDLTuのビット線側のノードN1がハイレベル(0.8V)、メモリアレイリマットMATd側のデータラッチDLTdのビット線側のノードがハイレベル(0.8V)になるようにメインアンプからデータが転送される。

【0097】データ“0, 0”の書込みが終了すると次はデータ“1, 0”のラッチと書込み、ペリファイ(ステップS27~S29)が行なわれる。データ“1, 0”の書込みに際しては、図12(B)の第3欄に示されているように、センスラッチSLTのメモリアレイリマットMATu側のノードNLがロウレベル(0V)になり、メモリアレイリマットMATu側のデータラッチDLTuのビット線側のノードN1がロウレベル(0V)、メモリアレイリマットMATd側のデータラッチDLTdのビット線側のノードがロウレベル(0V)になるようにメインアンプからデータが転送される。

【0098】データ“1, 0”の書込みが終了すると、ペリファイ電圧をワード線に印加してデータ“1, 1”に対応するメモリセルのしきい値が変化していないかの

判定が行なわれる(ステップS30)。その後、データ“1, 0”に対応するメモリセルのしきい値が変化していないかの判定と、データ“0, 0”に対応するメモリセルのしきい値が変化していないかの判定とが行なわれる(ステップS31, S32)。そして、これらの判定でしきい値が変化したものがないければ書込みが正常に終了し、しきい値が変化したものがあれば書込み異常として終了する。

【0099】図14には、上記ステップS22で行なわれる書込み処理およびステップS23のベリファイ処理のより詳しい手順が示されている。

【0100】ステップS21でのセンスラッチSLTへの書込みデータのラッチが完了すると、センスラッチSLTのラッチデータに基づく選択プリチャージが行なわれる(ステップS201)。この選択プリチャージは、制御信号PCによりプリチャージMOSFET Qp1をオンさせることで行なう。Qp1をオンさせたときにセンスラッチSLTのラッチデータがハイレベルであれば、プリチャージMOSFET Qp1と直列のMOSFET QcのゲートにセンスラッチSLTの出力ノードNu (Nd) の電圧が印加されているため、Qcがオンされてビット線GBLはハイレベルにプリチャージされる。

【0101】また、ビット線GBLと選択すべきメモリ列のローカルドレイン線LDLとの間の選択MOSFET Qsbを、偶数列もしくは奇数列のメモリセルのいずれか書込みを行なうかに応じてオンさせて、ローカルドレイン線LDLも同時にプリチャージさせる。一方、この時、プリチャージされたローカルドレイン線LDLと反対側のローカルドレイン線LDLと共通ドレイン線CDLとの間の選択MOSFET Qsbをオンさせて、反対側のローカルドレイン線LDLを5Vのような電位を印加する。

【0102】ビット線のプリチャージに際しては、制御信号PCを $0.8 + V_{th}$  (Qp1のしきい値電圧) とすることで、ビット線GBLを0.8Vにプリチャージさせることができる。なお、原理的にはセンスラッチSLTにより直接ビット線GBLをプリチャージさせることも可能であるが、そのようにするとビット線GBLの負荷容量が非常に大きいためセンスラッチSLTが誤って反転してしまうおそれがある。しかるに、実施例のように、間接的にプリチャージすることでセンスラッチの誤反転を回避することができる。センスラッチSLTのラッチデータがロウレベルであれば、プリチャージMOSFET Qp1と直列のMOSFET Qcはオンされないためビット線GBLはプリチャージされない。

【0103】次に、制御信号TRをハイレベルに立ち上げてビット線GBL上の伝送MOSFET QtL (QtR) をオンさせて、センスラッチSLTとビット線GBLとを接続し、ビット線GBLの選択プリチャージ電

位を保持する(ステップS202)。このとき、制御信号TRを $0.8 + V_{th}$  (Qcのしきい値電圧) とすることで、ビット線GBLの電位を0.8Vにクランプさせる。このように、センスラッチSLTとビット線GBLとを接続しているのは、プリチャージMOSFET Qp1とQcによるプリチャージでは、非選択のビット線GBLの電位がビット線間のカップリング容量で浮き上がっているため、非選択のビット線GBLの電位を0Vに安定されるためである。

【0104】その後、選択ワード線WLを14Vのような高電圧に立ち上げるとともに、偶数列もしくは奇数列のメモリセルのアシストゲートMOSFET Qaをオンさせて、メモリセルの記憶素子Qmに所定時間書込み電圧を印加して書込みを行なわせる(ステップS203)。ステップS203はステップS202とほぼ同時に行なうようにしても良い。

【0105】書込みが終了すると、伝送MOSFET QtL (QtR) をオフさせた状態で制御信号DDCを立ち上げてMOSFET Qd2をオンさせてビット線GBLをディスチャージさせるとともに、ビット線側の選択MOSFET Qsbをオフした状態で、共通ドレイン線CDLをグランド側に接続した状態で選択MOSFET Qsdをオンさせてローカルドレイン線LDLをディスチャージさせる(ステップS204)。

【0106】しかる後、書込みベリファイのために制御信号RPCを立ち上げてプリチャージMOSFET Qp2をオンさせて選択メモリマツ側の全ビット線GBLを一括して0.8Vのような電位にプリチャージする(ステップS205)。このとき、非選択側のメモリマツではMOSFET Qp2をオンさせて全ビット線GBLを一括して0.4Vのような選択側の半分の電位にプリチャージする。

【0107】また、ローカルドレイン線LDLの選択MOSFET Qsbを、書込みを行なったメモリセルが偶数列か奇数列かに応じてオンさせて、ローカルドレイン線LDLも同時にプリチャージさせる。一方、プリチャージされたローカルドレイン線LDLと反対側のローカルドレイン線LDLと共通ドレイン線CDLとの間の選択MOSFET Qsbをオンさせて、反対側のローカルドレイン線LDLに0Vの電位を印加しておく。

【0108】続いて、ワード線にベリファイのための電圧を印加するとともに、選択マツ側および非選択マツ側の伝送MOSFET Qtをオンさせてビット線GBLをセンスラッチSLTに接続する(ステップS206)。また、偶数列または奇数列のアシストゲートMOSFET Qaをオンさせる。これによって、メモリセルの読出しが行なわれ、選択メモリセルのしきい値が高ければ電流は流れず、ビット線GBLはプリチャージレベルを維持し、選択メモリセルのしきい値が低ければ電流が流れて、ビット線GBLがディスチャージされて0



Vに変化する。引き続き非選択メモリセルに接続されているビット線GBLを選択プリチャージ（ステップS207）し、非選択メモリセルに対するマスク処理を行う。最終的にビット線の電位変化は、センスラッチにより非選択マトのビット線の電位と比較されて読出しデータが検出される（ステップS208）。

【0109】本発明者らが検討したところによると、アシストゲートMOSFETを設けて、主ビット線側から書込み阻止電圧を印加してホットエレクトロンを記憶素子のフローティングゲートに注入することによりデータの書込みを行なうように構成されたメモリアレイでは、ベリファイ動作の際にプリチャージ方式を採用すると、書込みデータと読出しデータの論理が逆になってしまい、ビット線上での論理反転動作が必要となるが、本実施例のメモリアレイではそのような論理反転が不要であることが分かった。

【0110】次に、各センスラッチSLTにラッチされているデータに基づいて、センスラッチの非選択マト側の入出力ノードがすべてロウレベルになっているか否かのオールゼロ判定を行なう（ステップS209）。このオールゼロ判定は、各ビット線GBLにゲートが接続されているMOSFET Qazのドレイン電圧がロウレベルに立ち下がっているか否かをオール判定回路35により判定することで行なわれる。オール判定用のMOSFET Qazはドレインが互いに共通接続されているため、ゲート電圧が1つでもハイレベルであると共通ドレイン線の電位が下がるので、オール判定回路35が共通ドレイン線の電位を検出することでオールゼロの判定を行なうことができる。

【0111】判定の結果、オールゼロであれば次のデータの書込み処理のためのデータラッチへ移行し、オールゼロでないときはステップS201へ戻って再書込みを行なう。このとき、ビット線の選択プリチャージはセンスラッチSLTに残っているデータに基づいて行なわれ

る。つまり、書込みデータの再ラッチは行なわない。

【0112】次に、本実施例の多値フラッシュメモリにおけるデータの読出しについて簡単に説明する。

【0113】データの読出しは、1本のワード線に接続されているメモリセルの半分（偶数列もしくは奇数列）に対して、ワード線の電位を変えて3回に亘って行なわれる。3回の読出し動作の際にワード線に印加される電圧Vr1、Vr2、Vr3は、図12（A）に示されているしきい値分布のほぼ中間の値が選択され、例えば1.5V、2.8V、4.2Vである。これらの電圧による読出しは、高い方から低い方へ順番に行なわれる。低い方から高い方へ順番に行なうことも可能である。1回の読出し動作の具体的な手順は、前述した書込みの際のベリファイとほぼ同じであり、選択側マトのビット線を0.8Vに、また非選択側マトのビット線を0.4Vにそれぞれプリチャージしてから行なわれる。

【0114】データ読出しとベリファイとの差異は、データ読出しでは、センスラッチSLTにより検出されたデータがビット線を介してデータラッチDLTに転送され、データラッチで3.3Vのような振幅に増幅されてコモンI/O線を介してメインアンプ15a、15bに送られる点にある。そして、メインアンプで増幅された3個のデータはデータ制御回路33に送られて、ここで元の2ビットのデータに変換されて外部端子より出力される。

【0115】具体的には、読出し電圧Vr1、Vr2、Vr3に基づいて1つのメモリセルから読み出される1回目と2回目と3回目のデータは、選択メモリセルのしきい値Vthに応じて、次の表1ようになる。データ制御回路33では、これらのデータに基づいて表1の右欄のような2ビットのデータを復元する。

【0116】

【表1】

	読出しデータ			2ビットデータ
	1回目(Vr1)	2回目(Vr2)	3回目(Vr3)	
しきい値高	1	1	1	"0, 1"
しきい値中高	0	1	1	"0, 0"
しきい値中低	0	0	1	"1, 0"
しきい値低	0	0	0	"1, 1"

【0117】なお、3回の読出しデータに基づく2ビットのデータの復元は、それぞれの読出しデータを1本のビット線に対応した一対のデータラッチと中央のセンスラッチにそれぞれラッチして、ビット線上で論理演算を行ない、その結果を一対のデータラッチにラッチしてからメインアンプへ送るように構成することも可能である。かかるビット線上での論理演算による元の2ビットデータの復元は、既に提案されている技術であり本願発明の要旨ではないので、詳細な説明は省略する。

【0118】ここでは、センスラッチSLTにより検出

されたデータをビット線を介してデータラッチDLTに転送し、データラッチで0-3Vのような振幅に増幅する動作について説明する。

【0119】データの読出し際には、まず、制御信号RPCを立ち上げてプリチャージMOSFET Qp2をオンさせて選択メモリマト側の全ビット線GBLを一括して0.8Vのような電位にプリチャージする。このとき、非選択側のメモリマトではMOSFET Qp2をオンさせて全ビット線GBLを一括して0.4Vのような選択側の半分の電位にプリチャージする。

【0120】また、ローカルドレイン線LDLの選択MOSFET  $Q_{sb}$  をオンさせて、ローカルドレイン線LDLも同時にプリチャージさせる。一方、プリチャージされたローカルドレイン線LDLと反対側のローカルドレイン線LDLと共通ドレイン線CDLとの間の選択MOSFET  $Q_{sb}$  をオンさせて、反対側のローカルドレイン線LDLに0Vの電位を印加しておく。

【0121】続いて、ワード線に読出しのための電圧を印加するとともに、選択マツト側および非選択マツト側の伝送MOSFET  $Q_t$  をオンさせてビット線GBLをセンスラッチSLTに接続する。これによって、メモリセルの読出しが行なわれ、選択メモリセルのしきい値が高ければ電流は流れず、ビット線GBLはプリチャージレベルを維持し、選択メモリセルのしきい値が低ければ電流が流れて、ビット線GBLがディスチャージされて0Vに変化する。そして、このビット線の電位変化は、センスラッチにより非選択マツトのビット線の電位と比較されて読出しデータが検出される。

【0122】次に、ビット線上のセンスアンプ側の伝送MOSFET  $Q_t$  をオフ、データラッチ側の伝送MOSFET  $Q_{t'}$  をオンさせた状態で、制御信号PCを立ち上げてプリチャージMOSFET  $Q_{p1}$  をオンさせ、ビット線の選択プリチャージを行なう。具体的には、MOSFET  $Q_{p1}$  をオンさせたときにセンスラッチSLTのラッチデータがハイレベルであれば、プリチャージMOSFET  $Q_{p1}$  と直列のMOSFET  $Q_c$  のゲートにセンスラッチSLTの出力ノードNu (Nd) の電圧が印加されているため、 $Q_c$  がオンされてビット線GBLはハイレベルにプリチャージされる。

【0123】また、データ読出しの際のビット線のプリチャージでは、制御信号PCを $1.2 + V_{th}$  ( $Q_{p1}$  のしきい値電圧) とすることで、ビット線GBLを $1.2V$  にプリチャージさせることができる。

【0124】その後、ビット線上の伝送MOSFET  $Q_{t'}$  をオフさせた状態でデータラッチDLTに電源として $3V$  を印加することでデータラッチを活性化させる。すると、 $0-1.2V$  の振幅の信号が $0-3V$  の振幅の信号に増幅される。そして、増幅された読出し信号は、YゲートMOSFET  $Q_{y'}$ 、 $Q_{y''}$  をオンさせることで、コモンI/O線CI/Oを介してメインアンプに伝達される。特に制限されるものではないが、この実施例ではデータラッチDLTの増幅信号は差動で出力されるように構成されている。

【0125】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図5の実施例のAG-AND型メモリアレイにおいては、1本のビット線GBLに対して2本のローカルドレイン線LDLを選択MOSFET  $Q_{sb}$  により接続可能に

構成されているが、図2の実施例のAND型メモリアレイと同様に、ビット線に接続可能なローカルビット線とビット線に接続不能なローカルドレイン線とを設け、この間に複数のメモリセルを並列に接続してメモリセル列を構成したメモリアレイに対しても本発明を適用することができる。そして、その場合には、書込み時と読出し時で電流の流れる方向を一致させるようにすることができ、それによって、電流の流れる方向によってメモリセルのしきい値が見かけ上変化するのを回避することができる。また、実施例においては、多値のフラッシュメモリを例にとって説明したが、2値のフラッシュメモリに対しても同様に適用することができる。

【0126】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、本発明にそれに限定されるものでなく、フローティングゲートを有するMOSFETを記憶素子とする不揮発性記憶装置一般に利用することができる。

【0127】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、本発明に従うと、フラッシュメモリのような不揮発性記憶装置において、トータルの書込み所要時間を短縮することができるとともに、消費電力を低減することが可能になる。

【図面の簡単な説明】

【図1】本発明を適用して好適な不揮発性半導体記憶装置としてのフラッシュメモリの一例を示すブロック図である。

【図2】本発明を適用して好適なメモリアレイの具体例（いわゆるAND型）を示す回路構成図である。

【図3】本実施例のAND型メモリアレイにおける書込み動作の手順を示すフローチャートである。

【図4】本実施例のAND型メモリアレイにおける書込み時の動作タイミングを示すタイミングチャートである。

【図5】本発明を適用して好適なメモリアレイの他の具体例（いわゆるAG-AND型）を示す回路構成図である。

【図6】本発明を適用したAG-AND型メモリアレイにおける書込み時の電圧の供給の仕方を示す回路説明図である。

【図7】本発明を適用したAG-AND型メモリアレイにおける書込み時の選択メモリセルと非選択メモリセルのバイアス状態および消去時のバイアス状態を示す断面説明図である。

【図8】本発明を適用したAG-AND型メモリアレイにおける書込み動作手順を示すフローチャートである。

【図9】本発明を適用したAG-AND型メモリアレイにおける書込み時の動作タイミングを示すタイミングチ

ャートである。

【図10】本発明を適用したAG-AND型メモリアレイにおける読出し時の電圧の供給の仕方を示す回路説明図である。

【図11】本発明を適用したAG-AND型メモリアレイにおけるメモリアレイ周辺の回路の具体例を示す回路構成図である。

【図12】本発明を適用したAG-AND型メモリアレイにおける多値データの書き込み時の記憶素子のしきい値の分布およびセンスラッチおよびデータラッチへのデータの設定の仕方を示す説明図である。

【図13】本発明を適用したAG-AND型メモリアレイにおける多値データの書き込み動作手順を示すフローチャートである。

【図14】図13の書き込み処理のより詳しい手順を示すフローチャートである。

【図15】本発明を適用したAG-AND型メモリアレイの具体的な構造の例を示す断面図である。

【図16】従来のFNTトンネルによる書き込み方式におけるメモリセルへの印加電圧の例を示す断面説明図である。

【図17】従来のフラッシュメモリにおけるメモリアレイの構成例を示す回路図である。

【符号の説明】

- 10 メモリアレイ  
11 (SLT) センス&ラッチ回路  
12a, 12 (DLT) データラッチ  
13a, 13b ワードデコーダ

14a, 14b, 14c Yアドレスデコーダ

15a, 15b メインアンプ

20 制御回路

21 マイクロ命令ROM

22 ステータスレジスタ

23 発振回路

31 入出力バッファ

32 アドレスカウンタ

33 データ制御回路

40 内部電源回路

41 基準電圧発生回路

42 内部電源発生回路(昇圧回路)

43 電源切替回路

44 電源制御回路

MAT-U, MAT-D メモリマト

MCC メモリ列

MC メモリセル

WL ワード線

GBL 主ビット線

LBL ローカルビット線

LDL ローカルドレイン線

LSL ローカルソース線

CDL 共通ドレイン線

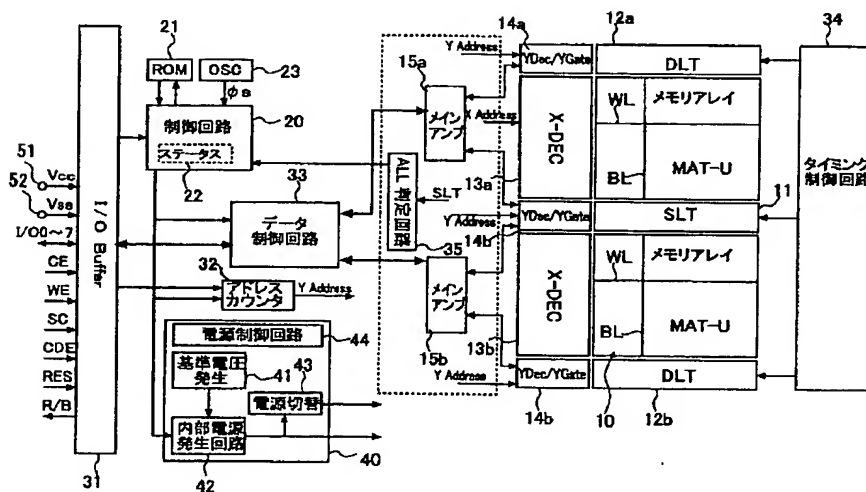
SLT センスラッチ

DLT データラッチ

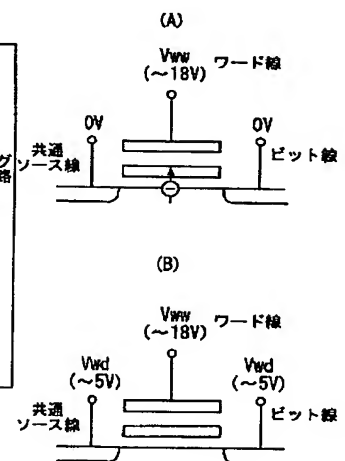
Qsb, Qsd 選択スイッチMOSFET

Qa アシストゲートMOSFET

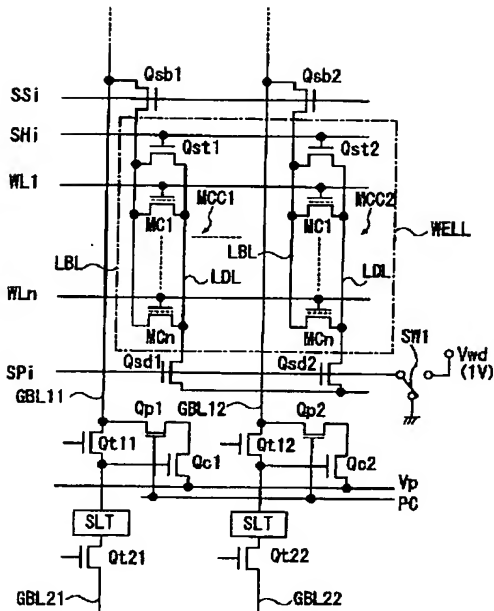
【図1】



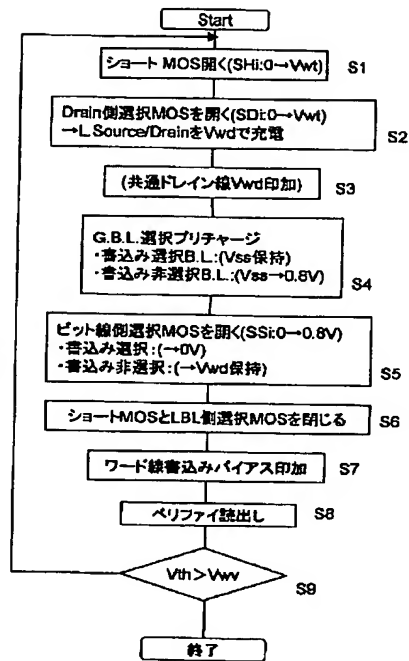
【図16】



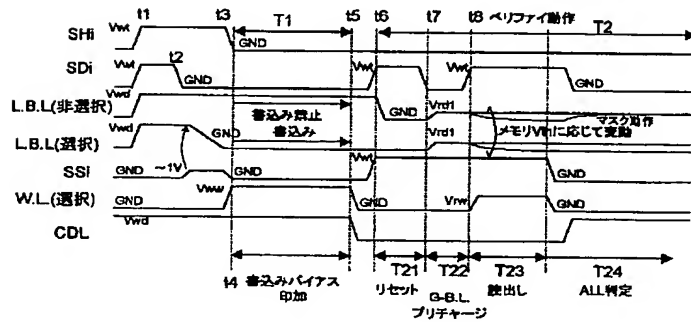
【図2】



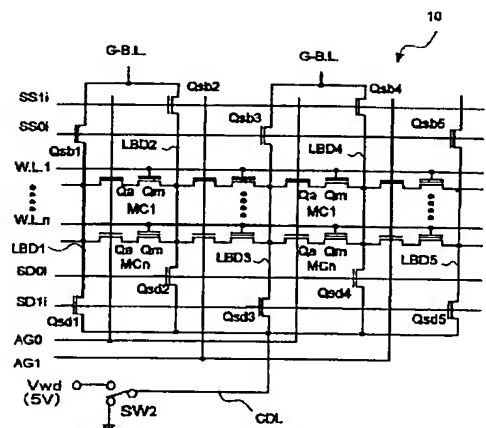
【図3】



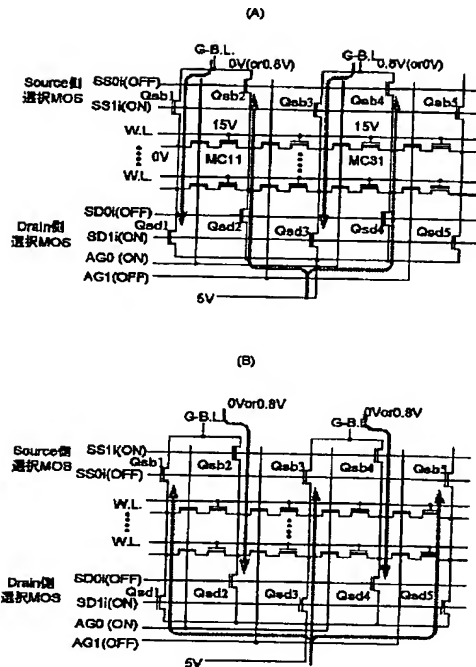
【図4】



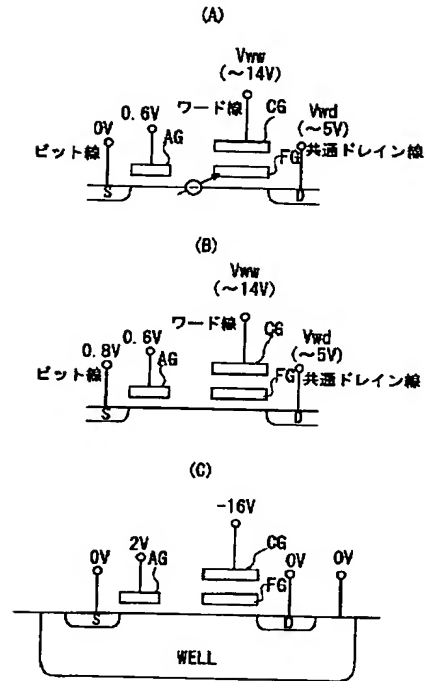
【図5】



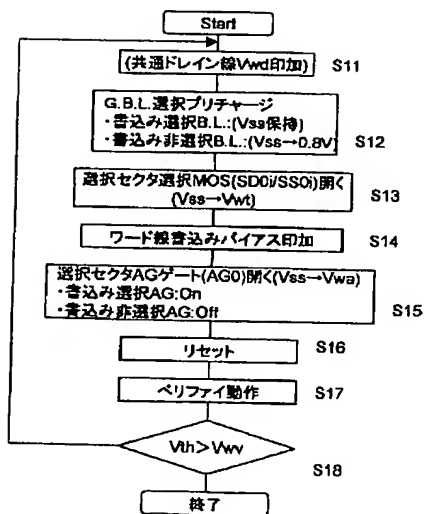
【図6】



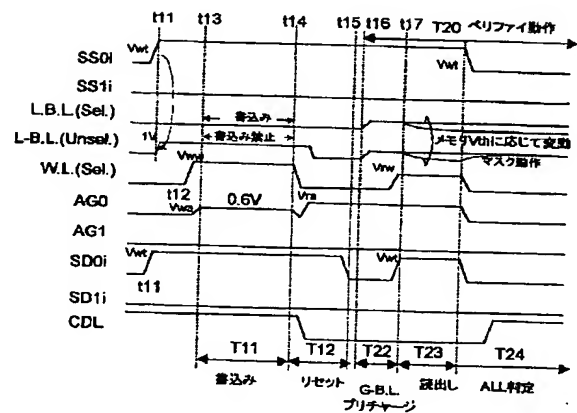
【図7】



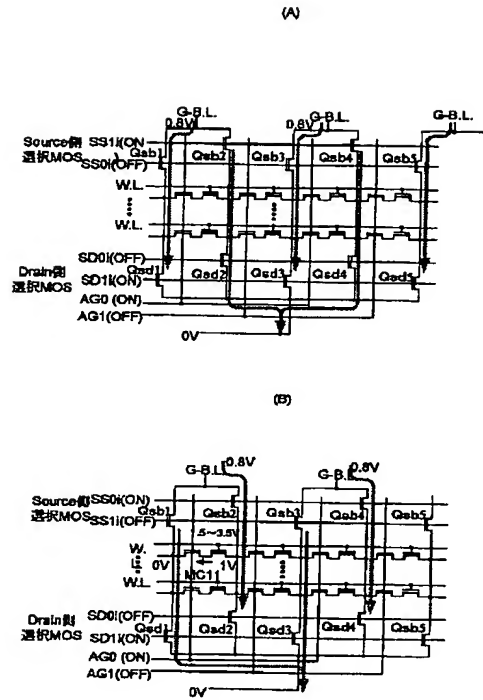
【図8】



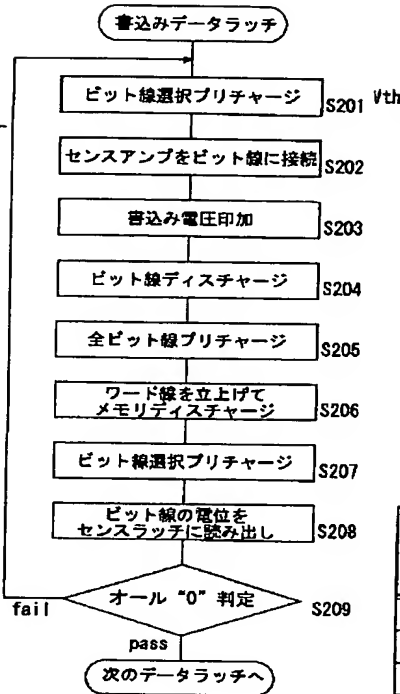
【図9】



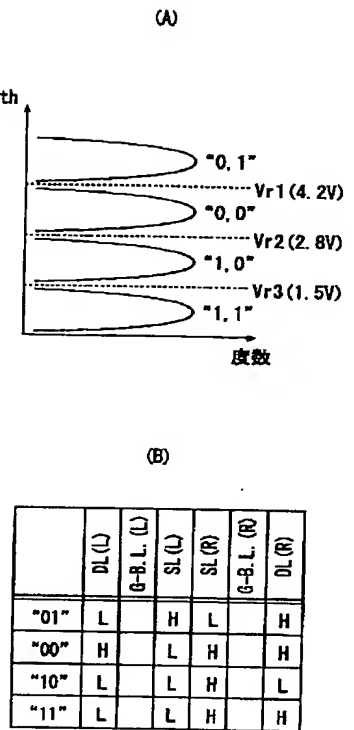
【図10】



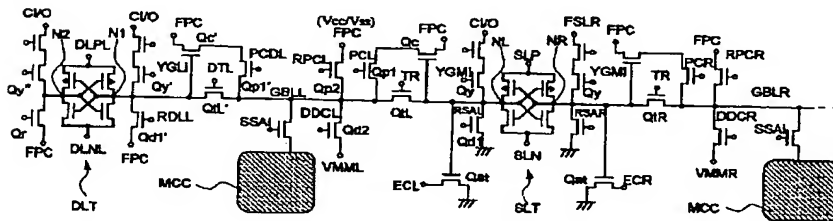
【図14】



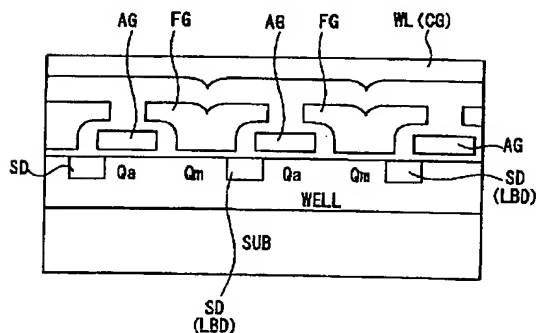
【図12】



【図11】

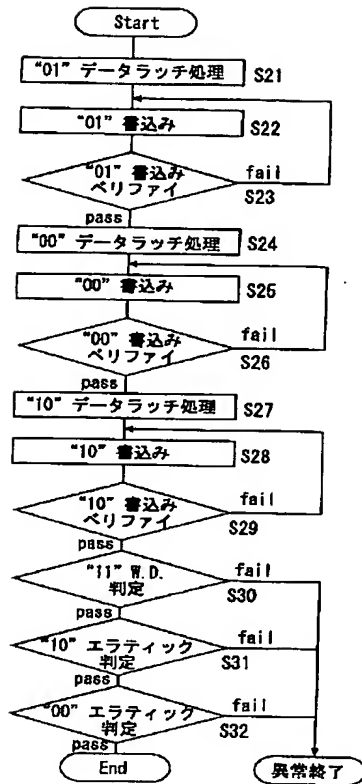


【図15】

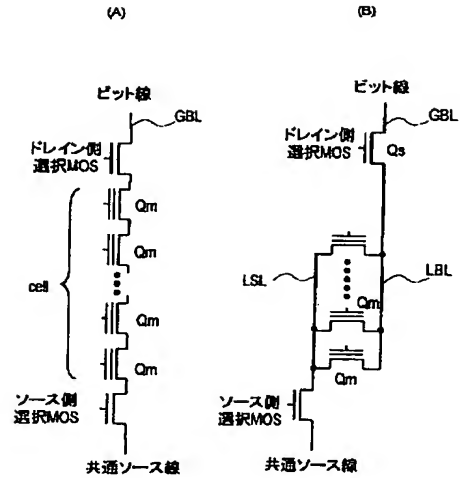




【図13】



【図17】



フロントページの続き

- (72)発明者 久保 瑛 昌次  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内
- (72)発明者 金光 道太郎  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

- (72)発明者 野副 敦史  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 吉田 敬一  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 倉田 英明  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内
- Fターム(参考) 5B025 AA03 AB01 AC01 AD03 AD04  
AE05 AE06